

**SIMULATION DEVICE**

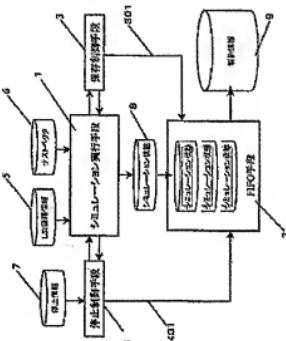
Publication number: JP2000250949  
 Publication date: 2000-09-14  
 Inventor: MIZUNO MASANOBU  
 Applicant: MATSUSHITA ELECTRIC IND CO LTD  
 Classification:  
 - International: G01R31/00; G06F17/50; G01R31/00; G06F17/50;  
 (IPC1-7); G06F17/50; G01R31/00  
 - European:  
 Application number: JP19990049594 19990226  
 Priority number(s): JP19990049594 19990226

Report a data error here

## Abstract of JP2000250949

**PROBLEM TO BE SOLVED:** To prevent the increase of manhour due to the second execution of simulation and also to suppress the storage capacity that is required for a computer.

**SOLUTION:** This device includes a simulation execution means 1, a FIFO means 2 which stores successively the simulation states and a storage control means 3 which stores the simulation states every time the simulation time is updated. If an abnormal simulation result is detected and the simulation is discontinued, the simulation result can be analyzed according to the information stored in the means 2 without executing again the simulation. Plural abnormal states are sometimes detected by the simulation of a single time.



Data supplied from the esp@cenet database - Worldwide

(19)日本特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-250949

(P2000-250949A)

(43)公開日 平成12年9月14日 (2000.9.14)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	データコード(参考)
G 0 6 F 17/60		C 0 6 F 15/60	6 7 2 A 2 G 0 3 6
G 0 1 R 31/00		C 0 1 R 31/00 .	5 B 0 4 6
		C 0 6 F 15/60	6 6 4 J

審査請求 未請求 請求項の数8 O L (全 16 頁)

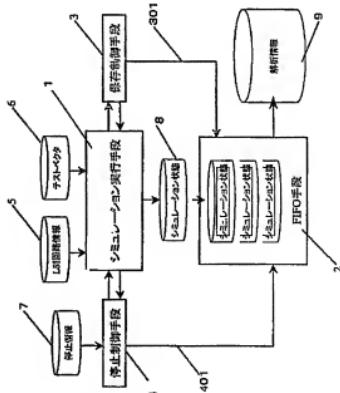
(21)出願番号	特願平11-49594	(71)出願人	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22)出願日	平成11年2月26日(1999.2.26)	(72)発明者	水野 雅信 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
		(74)代理人	100076174 弁理士 宮井 嘉夫
		F ターム(参考)	20038 AA19 BB09 CA01 5B046 AA08 BA03 JA05 KA03

## (54)【発明の名称】 シミュレーション装置

## (57)【要約】

【課題】シミュレーションの再実行による工数増を防ぐとともに計算機上に要する記憶容量を抑えることができるシミュレーション装置を提供する。

【解決手段】シミュレーション実行手段1と、シミュレーション状態を順次記憶する先入れ先出し方式のFIFO手段2と、シミュレーション時刻を更新する毎にシミュレーション状態をFIFO手段2に保存する保存制御手段3とを備え、シミュレーション結果に不具合を検出し、シミュレーションを停止すると、FIFO手段2に記憶された情報により、再度シミュレーション実行しながらもシミュレーション結果の解析を可能とする。複数の不具合を一度のシミュレーションで検出する場合もある。



【特許請求の範囲】

【請求項1】 LSIの機能論理設計検証に用いるシミュレーション装置であって、

LSIの設計情報、入力信号情報に基づき回路動作をシミュレートし、かつ任意の時点のシミュレーション状態の保存と復帰を行なうシミュレーション実行手段と、前記シミュレーション状態を順次記憶するとともに先入れ先出し方式で一定以上の記憶を削除するFIFO手段と、シミュレーション実行中シミュレーション時刻を更新する毎にシミュレーション状態を前記FIFO手段に保存させる保存制御手段とを備えたシミュレーション装置。

【請求項2】 FIFO手段は、シミュレーション状態の変化を比較し、変化した信号状態のみを抽出した差分状態情報を生成する差分情報記憶手段と、差分状態情報を記憶する差分情報記憶手段と、特定時刻の差分状態情報を削除する削除手段と、差分情報記憶手段に記憶される各時刻の差分状態情報から一連のシミュレーション状態を生成するシミュレーション状態合成手段を備え、シミュレーション状態を前記差分情報記憶手段を用いて差分状態情報に変換した上で前記差分情報記憶手段に記憶し、前記削除手段を用いて先入れ先出し方式で一定以上の差分状態情報を削除し、かつ前記シミュレーション状態合成手段によって一連のシミュレーション状態を生成する請求項1記載のシミュレーション装置。

【請求項3】 保存制御手段は、指定のスケジュールにてシミュレーション状態のFIFO手段への保存を制御する請求項1記載のシミュレーション装置。

【請求項4】 保存制御手段は、被シミュレーション回路の特定信号の状態変化と同期してシミュレーション状態のFIFO手段への保存の有無を制御する請求項1記載のシミュレーション装置。

【請求項5】 被シミュレーション回路の記憶素子の状態値のみを保存する手段を備え、記憶素子の状態のみを FIFO手段に保存する請求項1記載のシミュレーション装置。

【請求項6】 シミュレーション実行中、被シミュレーション回路の動作状態を監視し、停止条件に基づきシミュレーション実行を停止するとともに、FIFO手段に記憶する一連のシミュレーション状態を保存する停止制御手段を備える請求項1記載のシミュレーション装置。

【請求項7】 シミュレーション実行中、被シミュレーション回路の動作状態を監視し、所定の条件が成立するとFIFO手段に記憶する一連のシミュレーション状態をFIFO保存手段に順次追加保存する保存制御手段を備える請求項1記載のシミュレーション装置。

【請求項8】 シミュレーション実行中、被シミュレーション回路の動作状態を監視し、所定の条件が成立すると一定の時間シミュレーションを実行の後、FIFO手段に記憶する一連のシミュレーション状態をFIFO保存手段に順次追加保存する保存制御手段を備える請求項7記載の

シミュレーション装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数の機能モジュールを集積する大規模なシステムLSIの設計検証に用いる機能論理シミュレーション装置に関する。特に大規模なシステムLSIの不具合を効率良く解析するシミュレーション装置に関する。

【0002】

【従来の技術】LSIの微細化、集積技術の進展により、1チップLSIにシステムレベルの大規模回路を集積することが可能となっている。一方、システムLSI設計における処理方式から、機能、論理、レイアウトまでを短期間に設計し、早期に製品化を図ることが必要となっている。従って、設計規模の増大に伴い、設計生産性の向上、設計効率化を可能とする技術が強く求められている。特に設計検証では、設計規模の増大と検証ケースの複雑化により長大な検証工数を要するため、その効率化が不可欠である。

【0003】従来の機能論理設計検証では、主にハードウェア記述言語を用いた回路記述と、そのテストベクタ記述を行ない、その回路動作をコンピュータ上でシミュレーションする。回路動作の検証では、シミュレーション実行中、特定の回路上の信号を観測し、設計仕様上その信号のるべき期待値との照合を行うことによって設計に誤りのないことを確認する。あるいは、シミュレーション実行中の仕様上とり得る動作状態の条件を設定し、その条件の範囲内で動作することを確認する。

【0004】この際、期待値との不一致や動作条件違反として現れる設計不具合が発生すると、不具合が発生した素子、信号から順次、その不具合のある素子、信号線の入力側の直前の状態を探索し、不具合の原因を特定し、必要な回路修正を行なう。このデバッグ作業では、不具合を生じさせる動作状態を再現するため、少なくとも1回、シミュレーションを再実行する。さらにすべてのシミュレーション実行を通じて不具合が発生しなくなるまでデバッグ作業を繰り返し行なう。

【0005】従来のシミュレーション装置、あるいはシミュレーション方法では、不具合の解析、デバッグ作業を行なうために、シミュレーション実行中の回路の動作状態を監視し、期待値違反等の不具合と判断される状態が発生するとシミュレーションを一時停止させ、動作状態の解析や単位時間毎のステップ実行を行なう手段を備えていた。また、長大な処理時間を要する大規模LSIの1チップのシミュレーションでは、シミュレーション実行中、定期的にシミュレーション状態を保存し、全シミュレーション完了後に保存されたシミュレーション状態を復帰させ、特定時刻からのシミュレーションの再実行、デバッグを行なう手段を備えていた。

【0006】

【発明が解決しようとする課題】しかしながら、従来のシミュレーション装置、あるいはシミュレーション方法では、不具合を検出するとシミュレーションを一時停止し、デバッグ作業に入ることが可能であるが、不具合の原因を特定するためには、過去の状態を探索する必要から、シミュレーションを再実行するために多大の処理時間、工数を要するという問題点を有していた。大規模LSIのシミュレーションでは、数十時間から数日によるシミュレーション時間が必要とし、特にこうした長時間のシミュレーション実行の後、不具合が発生した場合は、デバッグ、解析のためにシミュレーションを再実行する期間が開発スケジュールに与える影響は致命的となり、大きな問題であった。

【0007】一方、これに対してシミュレーション状態を定期的に保存する手段を用いることによって、不具合が発生した場合、直前に保存された状態を復帰させ、回路動作、その状態変化を追跡できるため、比較的デバッグで工数を抑えうる可能性がある。しかし、不具合が発生する時刻を予測することはできないため、シミュレーション開始直後から繰り返しシミュレーション状態を保存する必要があり、大規模LSIのシミュレーションでは計算機上に多大の記憶容量を要する。特に大規模LSIのシミュレーションでは、1時刻のシミュレーション状態であっても、その状態を保存するために大きな記憶領域を要し、効率良くデバッグ、解析が可能とする記憶領域を確保することが困難であるという問題を有していた。

【0008】本発明は上記問題点に鑑み、シミュレーションの再実行による工数増を防ぐとともに計算機上に要する記憶容量を抑えることのできるシミュレーション装置を提供することを目的とする。

#### 【0009】

【課題を解決するための手段】請求項1記載のシミュレーション装置は、LSIの機能論理設計検証用に用いるシミュレーション装置であって、LSIの設計情報、入力信号情報に基づき回路動作をシミュレートし、かつ任意の時点のシミュレーション状態の保存と復帰を行なうシミュレーション実行手段と、シミュレーション状態を順次記憶するとともに先入れ先出し方式で一定以上の記憶を削除するFIFO手段と、シミュレーション実行中、シミュレーション時刻を更新する毎にシミュレーション状態をFIFO手段に保存させる保存制御手段とを備えたものである。

【0010】請求項1記載のシミュレーション装置によれば、シミュレーション実行中、FIFO手段で使用する一定容量の記憶領域で、シミュレーション結果を保存することができる。これにより、不具合の発生点など任意の時点でシミュレーションを中断せても、シミュレーションの再実行を要せず、一定のシミュレーション期間の状態を時間を遡って解析でき、設計検証作業を効率化す

ることができる。また、複数の中断点を設定してもFIFO手段の情報を中断点の各々に保存することによって、各々に対して回路動作を解析することができる。その結果、大規模なシステムLSIの機能シミュレーション、機能検証を効率的に行う事が可能となる。

【0011】請求項2記載のシミュレーション装置は、請求項1において、FIFO手段が、シミュレーション状態の変化を比較し、変化した信号状態のみを抽出した差分状態情報を生成する状態差分手段と、差分状態情報を記憶する差分情報記憶手段と、特定時刻の差分状態情報を削除する削除手段と、差分情報記憶手段に記憶される各時刻の差分状態情報から一連のシミュレーション状態を生成するシミュレーション状態合成手段を備え、シミュレーション状態を状態差分手段を用いて差分状態情報を変換した上で差分情報記憶手段に記憶し、削除手段を用いて先入れ先出し方式で一定以上の差分状態情報を削除し、かつシミュレーション状態合成手段によって一連のシミュレーション状態を生成するものである。

【0012】請求項2記載のシミュレーション装置によれば、請求項1と同様な効果のほか、さらにFIFO手段に記憶する情報も差分情報化し圧縮するサンプル化して間引くことにより、シミュレーションに必要とするFIFO手段が使用する記憶領域を削減できかつシミュレーション状態の再現を可能とする。

【0013】請求項3記載のシミュレーション装置は、請求項1において、保存制御手段が、指定のスケジュールにてシミュレーション状態のFIFO手段への保存を制御するものである。..

【0014】請求項3記載のシミュレーション装置によれば、請求項1と同様な効果のほか、常にシミュレーション単位時間毎に状態を保存するのではなく、解析上必要な周期でシミュレーション状態を保存し、FIFO手段が必要とする記憶領域を削減することができる。

【0015】請求項4記載のシミュレーション装置は、請求項1において、保存制御手段が、被シミュレーション回路の特定信号の状態変化と同期してシミュレーション状態のFIFO手段への保存の有無を制御するものである。

【0016】請求項4記載のシミュレーション装置によれば、請求項1と同様な効果のほか、保存制御手段が例えば同期回路等に対して被シミュレーション回路の特定信号の状態変化と同期してシミュレーション状態のFIFO手段への保存の有無を制御することにより、記憶領域を削減できる。

【0017】請求項5記載のシミュレーション装置は、請求項1において、被シミュレーション回路の記憶素子の状態のみを保存する手段を備え、記憶素子の状態のみをFIFO手段に保存するものである。

【0018】請求項5記載のシミュレーション装置によれば、請求項1と同様な効果のほか、記憶素子の状態の

みを FIFO手段に保存することで FIFO手段が使用する記憶領域を削減できる。

【0019】請求項6記載のシミュレーション装置は、請求項1において、シミュレーション実行中、被シミュレーション回路の動作状態を監視し、停止条件に基づきシミュレーション実行を停止させるとともに、FIFO手段に記憶する一連のシミュレーション状態を保存する停止制御手段を備えるものである。

【0020】請求項6記載のシミュレーション装置によれば、請求項1と同様な効果のほか、停止条件として、期待値違反等の不具合の発生を設定すると、不具合を検出すると同時にシミュレーションを中断し、FIFO手段に記憶される情報を元に必要な解析を即座に行う事ができる。

【0021】請求項7記載のシミュレーション装置は、請求項1において、シミュレーション実行中、被シミュレーション回路の動作状態を監視し、所定の条件が成立すると FIFO手段に記憶する一連のシミュレーション状態を FIFO保存手段に順次追加保存する保存制御手段を備えるものである。

【0022】請求項7記載のシミュレーション装置によれば、請求項1と同様な効果のほか、所定の条件として、例えば期待値違反等の不具合の発生を設定し、シミュレーションを実行すると、不具合が生じたとき FIFO手段に記憶される情報を別途保存し、シミュレーションを続行する。シミュレーションが終了すると、異なる複数の不具合の発生に対して、各々について解析を行いうための個別の情報を FIFO保存手段より得る事ができる。これにより、いくつかの異なる不具合を含む設計の検証に対して、一度のシミュレーション実行によって不具合を解析することができ、設計検証を効率化できる。

【0023】請求項8記載のシミュレーション装置は、請求項1において、シミュレーション実行中、被シミュレーション回路の動作状態を監視し、所定の条件が成立すると一定の時間シミュレーションを実行の後、FIFO手段に記憶する一連のシミュレーション状態を FIFO保存手段に順次追加保存する保存制御手段を備えるものである。

【0024】請求項8記載のシミュレーション装置によれば、請求項1と同様な効果のほか、複数の不具合を解析する情報として不具合が発生したシミュレーション時点の前後の回路動作を観測することができ、不具合の回路動作への影響を含め不具合の状況を解析、判断することができる。

【0025】

【発明の実施の形態】以下、本発明の実施の形態を図面を参照して説明する。

【0026】(第1の実施の形態) 本発明の第1の実施の形態を図1から図6により説明する。図1は、本発明の第1の実施の形態のシミュレーション装置の構成図を示す。

【0027】図1の1は、ハードウェア記述言語で記述されたLSI回路情報5とテストベクタ6を入力してLSIシミュレーションを行うシミュレーション実行手段である。シミュレーション実行手段1は、シミュレーション時刻0よりシミュレーションを開始し、単位時間毎の動作状態をシミュレーションし、所定の時刻でシミュレーションを終了する。シミュレーション実行手段1は、シミュレーション実行中、当該時刻のシミュレーション状態8を出力する機能を備える。

【0028】図2に第1の実施の形態においてシミュレーション実行手段1が保存するシミュレーション状態の構成を示す。図2に示す情報は、当該シミュレーション状態が保存されたシミュレーション時刻を格納する時刻情報81、被シミュレーション回路の出入力または内部信号を示す各識別子とその信号値からなる信号状態82から構成される。第1の実施の形態ではシミュレーション実行手段1を、イベント駆動方式の論理シミュレータによって実現する。

【0029】図1の2は、シミュレーション実行手段1が输出するシミュレーション状態8を順次記憶する FIFO手段である。FIFO手段2は、先入れ先出し方式でシミュレーション状態8を記憶するとともに、格納順に記憶したシミュレーション状態を削除し、シミュレーション状態の記憶サイズを一定に保つ。

【0030】図1の3は、シミュレーション実行手段1におけるシミュレーション時刻の更新とシミュレーション状態8の出力、その出力のFIFO手段2への格納を制御する保存制御手段である。図1の4は、停止条件情報7を入力し、これに基づき被シミュレーション回路の状態を観測し、シミュレーションの実行停止を制御する停止制御手段である。停止制御手段4は、FIFO手段2から解釈情報9の出力を制御する。解釈情報9は、FIFO手段2が格納する一連のシミュレーション状態である。停止条件情報7は、シミュレーション時刻、被シミュレーション回路の出入力及び内部信号の各識別子とその信号値を引数とする論理式を表す情報である。

【0031】次に図1の第1の実施の形態におけるシミュレーション実行の流れ、及びシミュレーション方法を図3を用いて説明する。図3の第1のステップでは、シミュレーション実行手段1が、シミュレーションのセットアップとしてLSI回路情報、テストベクタの読み込みを行ない、内部データのセットアップを行なう。この際、シミュレーション開始時刻の設定、入力信号のイベントの登録も行なわれる。次に第2のステップ以降、シミュレーション時刻を更新しながら、各時刻の回路の動作計算を算出し、シミュレーションを進める。第2のステップで、まずシミュレーション時刻を更新し、第3のステップでシミュレーション終了時刻に該当するかを判定し、シミュレーション終了時刻でなければ、第4のステ

ップへ進み、当該シミュレーション時刻の回路状態を計算する。第4のステップでは、イベント駆動方式に基づき、当該シミュレーション時刻でスケジュールされたイベントを取り出し、シミュレーション状態の更新を行なうとともに新たに発生するイベントの登録を行なう。次に第5のステップでは、保存制御手段3によって、シミュレーション状態の出力を行ない、FIFO手段2に対してシミュレーション状態を格納する制御301を行なう。この際、FIFO手段2では、シミュレーション実行手段1の出力するシミュレーション状態を格納するとともに、最も古い情報を削除する。次に第6のステップにおいて、停止制御手段4によって、停止情報を読み込み、停止条件を示す論理式を評価し、停止の判断を行なう。停止条件が成立しない場合は、第2のステップに戻り、シミュレーションを続行する。停止条件が成立する場合、及び、第3のステップにてシミュレーション終了時刻と判断した場合、第7のステップへ進み、停止制御手段4の制御401によって、FIFO手段2に格納する一連のシミュレーション状態をすべて、解説情報9として出力し、シミュレーションを終了する。

【0032】次に第1の実施の形態のシミュレーションを具体例を用いて説明する。具体例では、15単位時間のシミュレーションにおいて、FIFO手段2に格納するシミュレーション状態数を6とするシミュレーションを説明する。この際、停止条件として出力期待値不一致を示す論理式を与え、停止制御を行なう。

【0033】まず、図4は被シミュレーション回路の構造を示す図である。図4の回路は、3段のフリップフロップ1、5、2、5、5、6とORゲート53、54から構成される。図4の501、502、503、504は入力信号であり、501はクロック信号となる。505、506、507、508、509は内部信号、5010は出力信号である。図4の入力信号501、502、503、504の信号値はテストベクタとして与えられる。

【0034】図5は、図4の回路において15単位時間シミュレーションを実行した際の各信号値変化を示すタイミングチャートである。図5では、シミュレーション時刻毎の各素子、信号の変化と出力期待値を示す。図5に示すシミュレーションでは、周期2単位時間のクロック信号が501に入力される。入力信号502は、単位時刻8において、信号値がHからLへ変化する。入力信号503は、単位時刻2において、信号値がHからLへ変化し、単位時刻4で再びHへ変化する。入力信号504は常に固定される。これに対し、入力信号502の変化は、次のクロック信号501の立ち上がりに伴い、単位時刻3でフリップフロップ1にラッチャされ、505からORゲート53にL信号が入力されるが、504側からのORゲート入力信号506がHのため、出力信号507は常にHとなる。また、単位時刻8において、入力信号

502が変化し、信号値LがORゲート54に入力されるが、同じくORゲートの入力信号507がHのため、その出力信号508はHに固定されている。ここで、図5のシミュレーション例では、フリップフロップ1、5、2、5、5、56の初期値はHとしている。

【0035】一方、図5に示す期待値は、図4のORゲート53、54がともにANDゲートであった回路の出力信号5010の変化を示すものである。期待値では、単位時刻2、4での入力信号503の変化が伝播し、単位時刻7、9で信号値が変化する。また、単位時刻8での入力信号502の変化により、単位時刻11に出力信号5010がLへ変化する。

【0036】次に停止条件は、シミュレーションの各時刻における出力信号5010の期待値不一致を表す論理式として、「value(5010, T) != E」の形式で与えるものとする。ここで、value(5010, T)は、出力信号5010の当該単位時刻Tにおける信号値、Eは期待値を示す。「!=」は不等号の論理演算子である。

【0037】以上のシミュレーション実行例に対して、第1の実施の形態の動作例では、単位時刻0より順次シミュレーションを実行し、図5の通り、回路の各信号の状態値を計算する。停止条件が成立する単位時刻7までシミュレーション時刻を更新する。単位時刻7では、「value(5010, 7)」がHであるため、「value(5010, 7) != L」が成立し、シミュレーションを停止し、解説情報をFIFO手段2の記憶内容を出力する。単位時刻1から単位時刻7の間、保存制御手段3によって各単位時刻毎にFIFO手段2に記憶される単位時刻1、2、7でシミュレーション状態を図6に示す。201、202、207は各々シミュレーション時刻1、2、7のFIFO手段2の記憶内容である。801、802、803、804、805、806、807は各々単位時刻1、2、3、4、5、6、7のシミュレーション状態である。単位時刻1のFIFO手段2の内容201では、単位時刻1のシミュレーション状態が格納され、順に202では、単位時刻2のシミュレーション状態が追加される。単位時刻7のFIFO手段2の内容207では、記憶可能なシミュレーション状態数6を超えるため、単位時刻1のシミュレーション状態を削除し、単位時刻7のシミュレーション状態を記憶するため単位時刻2から7までの各時刻の6シミュレーション状態を記憶する。また、単位時刻7で、停止条件が成立するため、FIFO手段2の内容207が解説情報を出力される。

【0038】第1の実施の形態では、機能論理シミュレーション装置に、シミュレーション時点から所定の期間前進のシミュレーション結果を常時保存するFIFO手段2を設け、シミュレーション結果に不具合を検出し、シミュレーションを停止すると、FIFO手段2に記憶された情報により、再度シミュレーション実行しなくてもシミュ

レーション結果の解析を可能とする。

【0039】以上のように本発明では、シミュレーション実行中、期待値エラーとして不具合が検出され、シミュレーションが停止すると解析情報207を得ることができる。これを解析し、出力信号5010の入力側を、1クロック前の単位時刻5の509、55、さらに1クロック前の単位時刻3の508、54、502、507、53、505、506の信号値をシミュレーション時刻を遡って追跡し、53がANDゲートではなくORゲートであった設計誤りを検出することができる。この際のシミュレーションでは、FIFO手段2を用いることによって解析情報の格納に要する記憶領域を6単位時間分のシミュレーション状態に必要なサイズに抑えることができる。

【0040】なお、第1の実施の形態では、シミュレーション状態として、シミュレーション制御情報、イベント情報の保存を行うことによって、シミュレーションが一度停止した後も、再び解析情報9にある最新のシミュレーション状態を復元させ、シミュレーションを再開することができる。

【0041】(第2の実施の形態)本発明の第2の実施の形態を図7から図14により説明する。図1のFIFO手段2として、図7に示す構成のFIFO手段を備えるシミュレーション装置を説明する。図7の21は、シミュレーション状態8の変化を比較し、変化した信号状態のみを抽出した差分状態情報を生成する差分差分手段であり、22は差分状態情報を記憶する差分情報記憶手段である。23は、特定時刻の差分状態情報を削除する削除手段であり、24は差分情報記憶手段22に記憶される各時刻の差分状態情報から一連のシミュレーション状態8を生成するシミュレーション状態合成手段である。

【0042】図8に状態差分手段21によって生成され、差分状態情報記憶手段22に記憶される差分状態情報の構成を示す。図8に示す差分状態情報2003は、当該シミュレーション状態が保存されたシミュレーション時刻を記憶する時刻2001、被シミュレーション回路の入出力または内部信号を示す各識別子とその信号値から成る信号状態2002から構成される。

【0043】図8の最新のシミュレーション時刻T(2001)の差分状態情報はすべての信号の信号値を格納し、1時刻前の時刻T-1の差分状態情報では、時刻Tの対応する信号に対して、異なる信号値を持つ信号のみの状態情報を記憶される。以降、各時刻の状態情報は、当該時刻以後の時刻で、当該の信号に対して記憶される信号値と異なる値を持つ場合にのみ記憶される。従って、最新時刻には、すべての信号の信号状態が記憶される。

【0044】次に第2の実施の形態のFIFO手段においてシミュレーション状態を記憶・削除する手順を図9を用いて説明する。まず、第51のステップで当該シミ

ュレーション時刻のシミュレーション状態を入力する。次に第52ステップにて、差分状態情報記憶手段22で記憶する差分状態情報が削除数であるかを判定し、削除数である場合は、第53ステップへ進み差分状態情報を削除手段23によって削除する。削除手段23は差分情報記憶手段24に記憶される最も古い時刻の差分状態情報を検索し、これに区分される信号状態をすべて削除する。次に第54ステップでは差分状態情報記憶手段24が空であるか(すなわち既情報が無いか)を判定し、空の場合は第56ステップへ進み、第51ステップで入力したシミュレーション状態を差分状態情報として差分状態情報記憶手段22に記憶する。差分状態情報記憶手段22が空でない場合は、第55ステップに進み、状態差分手段21を用いて差分状態情報を生成する。

【0045】この手順を図10を用いて説明する。まず、状態差分手段21では、第551ステップで、差分状態情報記憶手段22に記憶される最新時刻Tの差分状態情報を検索し、第552ステップで時刻Tに区分される各信号について、シミュレーション状態として入力される現時刻T+1の同一の信号値を検索する。第553ステップで、時刻T+1と時刻Tの同一の信号の信号値が一致する場合、第554ステップに進み、時刻Tの当該信号状態を削除し、第555ステップへ進む。第553ステップで一致しなければ、そのまま第555ステップに進み、未比較の信号状態情報を検索し、未比較の信号状態があれば、第552ステップからの処理を繰り返し、時刻Tのすべての信号状態を比較すると終了する。次に図9の手順に戻り、第56ステップへ進み、第51ステップで入力したシミュレーション状態を差分状態情報として差分状態情報記憶手段22に記憶し、終了する。

【0046】次にシミュレーション状態合成手段24において差分情報記憶手段22に記憶される差分状態情報から一連のシミュレーション状態を生成する手順を図11、図12を用いて説明する。まず第57ステップにおいて、シミュレーション状態に含まれる信号状態情報の一覧を作成する。信号状態情報の一覧は、FIFO手段に記憶する最新時刻の差分状態情報より作成する。次に第58ステップに進み、時刻順に差分状態情報から当該時刻のシミュレーション状態情報を生成する。第58ステップの詳細手順を図12を用いて説明する。まず、第581ステップで信号状態情報の一覧を対応する信号状態情報を当該差分状態情報から検索する。第582ステップで該当する信号状態情報の有無を判定し、該当する信号状態情報があれば、第584ステップへ進み、該当する信号状態情報がない場合には、1時刻後の差分状態情報を検索し、該当する信号状態情報を得るまで時刻を並めて繰り返し検索を行う。第584ステップでは、該当する信号状態情報を当該時刻のシミュレーション情報の信号状態情報として出力する。

【0047】次に第58ステップに進み、信号状態情報一覧のすべての信号状態情報を得るまで第58ステップからの手順を繰り返す。次に図11にもどって第58ステップから第59ステップに進み、差分状態情報の有りか無しかを判定し有りの場合に第58ステップに戻り、無い場合に終了する。

【0048】次に第2の実施の形態のシミュレーション、特に FIFO手段による差分状態を記憶する具体例を説明する。具体例では、1.5単位時間のシミュレーションにおいて、FIFO手段に格納するシミュレーション状態数を4とする。被シミュレーション回路として図4の回路を用い、図5のタイミングチャートに示す動作をシミュレーションする。図13は、図5のシミュレーション時の単位時刻1、2、3の各差分情報記憶手段24に記憶される内容を示す図である。図13の2211は、単位時刻1の差分情報記憶手段24の記憶内容を示し、2211は単位時刻1の差分状態情報である。差分状態情報2211は、単位時刻0で差分情報記憶手段24が空であるため、入力されるシミュレーション状態をそのまま記憶する。図13の2222は単位時刻2の差分情報記憶手段24の記憶内容を示し、2221、22222は、各々単位時刻1、2の差分状態情報である。差分状態情報2221は、単位時刻2のシミュレーション状態を記憶する際、差分情報記憶手段22に単位時刻1で記憶されている差分状態情報2211と、対応する信号状態の比較を行い生成される差分状態情報である。差分状態情報2221は、単位時刻1の差分状態情報2211から単位時刻2のシミュレーション状態と異なる信号値を持つ信号状態を残したものである。単位時刻2のシミュレーション状態は、差分情報記憶手段2222として差分情報記憶手段24にそのまま記憶される。同じく単位時刻3では、単位時刻2の差分状態情報2222を差分状態情報2232に置きかえ、差分状態情報22321、2233と共に記憶する。以降、FIFO手段では、同様に4単位時刻の差分状態情報を記憶する。

【0049】次に、単位時刻7では停止制御手段4によってシミュレーションを停止し、差分情報記憶手段22に記憶される差分状態情報からシミュレーション状態合成手段24によって、単位時刻7、6、5、4のシミュレーション状態を合成し、解析情報9として出力する。この処理の入出力を図14に示す。シミュレーション状態合成手段24では、まず信号一覧2200を作成し、この一覧中の信号501から510について、各単位時刻のシミュレーション状態を合成する。単位時刻4のシミュレーション状態の合成では、差分情報記憶手段24に記憶される内容2270の差分状態情報2274から信号一覧2200の各信号に対応する信号状態情報を検索する。信号501については、差分状態情報2274の信号値の信号状態情報を得る。信号502については、差分状態情報2274に記憶されていないため、1単位

時刻遡って、単位時刻5の差分状態情報2275を検索する。ここでも信号502の信号状態情報を得ることができないため、さらに1単位時刻遡って、単位時刻6の差分状態情報2276を検索する。同じく信号502の信号状態情報を得ることができないため、単位時刻7の差分状態情報2277を検索し、信号値の信号状態情報を得る。以下、各信号についても同様の処理を行い、単位時刻4のシミュレーション状態804を出力する。単位時刻5、6、7についても同様に差分情報記憶手段24の差分状態情報2275、2276、2277から順に対応するシミュレーション状態805、806、807を合成する。

【0050】以上、第2の実施の形態を用いる場合、状態差分手段21、差分情報記憶手段22、削除手段23、およびシミュレーション状態合成手段24を備えたFIFO手段によって一定時間範囲のシミュレーション状態を保存する際、変化点のみを示す差分情報を保存し、これに対する記憶領域を削減することができる。これによって大規模回路シミュレーションに対して効率的な解析、デバッグを行うことができる。

【0051】(第3の実施の形態)本発明の第3の実施の形態を図15から図19により説明する。図15は図1の構成に保存タイミング定義手段10、及び記憶素子選択手段11を加えた構成をとる。

【0052】保存タイミング定義手段10は、保存制御手段3を用いてシミュレーション状態をFIFO手段2へ出力する際の制御条件を定義する手段であり、指定のスケジュールとして、当該シミュレーション時刻のシミュレーション状態を出力するタイミングを記述する。保存タイミング定義は、被シミュレーション回路の信号值、イベントを元に記述される。保存制御手段3では、シミュレーション実行結果に応じて保存の有無を判定し、シミュレーション状態の出力を制御する。記憶素子選択手段11は、出力されたシミュレーション状態情報8から、記憶素子の状態のみを選択した情報、記憶素子状態情報12をFIFO手段2に引き渡す。記憶素子状態情報12の構成は元になるシミュレーション状態情報8と同一の構成をとる。

【0053】以上のシミュレーション方法の手順を図16を用いて説明する。図16の第1のステップでは、シミュレーション実行手段1が、シミュレーションのセットアップとしてLSI回路情報、テストベクタの読み込みを行ない、内部データのセットアップを行なう。この際、シミュレーション開始時刻の設定、入力信号のイベントの登録も行なわれる。また、保存タイミング定義手段10によって定義されたシミュレーション状態の保存タイミングも入力される。

【0054】次に第2のステップ以降、シミュレーション時刻を更新しながら、各時刻の回路の動作を計算し、シミュレーションを進める。第2のステップで、まずシ

ミュレーション時刻を更新し、第3のステップでミュレーション終了時刻に該当するかを判定し、ミュレーション終了時刻でなければ、第4のステップへ進み、当該ミュレーション時刻の回路状態を計算する。第4のステップでは、イベント駆動方式に基づき、当該ミュレーション時刻でスケジュールされたイベントを取り出し、ミュレーション状態の更新を行なうとともに新たに発生するイベントの登録を行なう。

【0055】次に第5のステップでは、保存制御手段3によって、保存タイミングかどうかを判定し、保存タイミングであれば、第6ステップでミュレーション状態を出力する。ミュレーション実行手段1から出力されるミュレーション状態は記憶素子選択手段1を通して記憶素子の情報のみが選択され、記憶素子状態としてFIFO手段2に記憶される。

【0056】次に第7のステップにおいて、停止制御手段4によって停止制御を読み込み、停止条件を示す論理式を評価し停止の判断を行なう。停止条件が成立しない場合は第2のステップに戻り、ミュレーションを続行する。

【0057】停止条件が成立する場合、及び第3のステップにてミュレーション終了時刻と判断した場合第8のステップに進み、停止制御手段4の制御401によつて、FIFO手段2に格納する一連のミュレーション状態をすべて、解釈情報9として出力し、ミュレーションを終する。

【0058】次に第3の実施の形態のシミュレーション装置の具体的動作例を説明する。本動作例は、第1の実施の形態の動作例と同一のシミュレーションを実行し、被シミュレーション回路として図4の回路を用い、図5のタイミングチャートに示す15単位時間の動作を同一の停止条件、期待値でシミュレーションする。この際、保存タイミング手段10には、図17に示す記述によって保存タイミングを定義する。図17の記述中、501は図4の被シミュレーション回路のクロック信号501を示し、変数saveは、シミュレーション状態の保存を指定するイベント変数である。図17の記述では、クロック信号501の変化点で、501が1に変化した場合は、saveを1にセッタし、ミュレーション状態を出力することを定義する。

【0059】以上のタイミングでシミュレーション状態の保存を実行すると、シミュレーション状態は、図5のタイミングチャートのクロック信号501の立ち上がりエッジの時刻、1、3、5、7で出力される。本動作例では、単位時刻7でシミュレーションが停止する単位時刻7までとなる。図18に単位時刻1、3、5、7での各シミュレーション状態8001、8003、8005、8007を示す。図19の1201、1203、1205、1207は、各々シミュレーション状態8001、8003、8005、8007から記憶素子選択手

段11により選択された記憶素子状態情報を示す。各々の記憶素子状態では、図4のフリップフロップ51、52、55、56の状態のみが選択される。FIFO手段2には3単位時刻分の記憶素子状態を格納し、単位時刻1では記憶素子状態情報1201を格納し、単位時刻3では記憶素子状態情報1201、1203を格納し、単位時刻5では記憶素子状態情報1201、1203、1205を格納し、単位時刻7でミュレーションが停止した際には、記憶素子状態情報1203、1205、1207を格納する。解釈情報には、単位時刻7のFIFO手段2の内容が記述される。

【0060】単位時刻7でミュレーションが停止した際には、解釈情報9を解釈することにより、出力501が期待値と一致しない原因をクロック周期で遡って解析できる。単位時刻3でフリップフロップ51が立つるにも関わらず、単位時刻5でフリップフロップ55の値がHであることがわかり、51、52を入力とする論理素子53が仕様にあるANDゲートでないことが解釈できる。

【0061】以上のように第3の実施の形態では、ミュレーションを停止した際、解釈情報9によって設計の不具合を解析できとともにFIFO手段2に記憶するシミュレーション状態をクロック周期で間引き、かつ記憶素子以外の信号状態を間引いて必要とする記憶領域を大幅に削減することができる。あるいは、FIFO記憶手段2のシミュレーション状態記憶数が同一であっても、幅広い時間帯の情報を記憶できる。

【0062】なお、記憶素子選択手段11を選択制御手段とし、指定の信号を選択することにより、シミュレーション解釈の目的に応じてFIFO記憶手段2の記憶領域あるいはシミュレーション状態記憶数を調整する実施の形態が可能である。

【0063】(第4の実施の形態)本発明の第4の実施の形態を図20から図24により説明する。図20は本発明のシミュレーション装置の第4の実施の形態構成図を示す。図20の構成では、図1の構成にFIFO保存制御手段13を加え、さらに図1の停止制御手段4に替えてFIFO保存制御手段14を備える。

【0064】FIFO保存手段13は、FIFO保存制御手段14の保存信号1401により、FIFO手段2が記憶手段である。FIFO保存制御手段14は、FIFO保存制御情報15を入力し、これに基づき被シミュレーション回路の状態を観測し、FIFO手段2の解釈情報9の出力を制御する。FIFO保存制御情報15は、シミュレーション時刻、被シミュレーション回路の出入力及び内部信号の各識別子との信号値を引数として、解釈情報9を出力するシミュレーション状態の条件と、条件成立時刻から解釈情報を出力させるまでの単位時間単位の延滞時間を定義する情報である。FIFO保存制御手段14

は、指定のタイミングでの制御を行うために内部カウントを備え、所定を検出したシミュレーション状態の時刻から遅延して保存信号1401を出力する制御を可能とする。

【0065】次に図20の第4の実施の形態におけるシミュレーション実行の流れ、及びシミュレーション方法を図21を用いて説明する。

【0066】図21の第1のステップでは、シミュレーション実行手段1が、シミュレーションのセットアップとしてLS1回路情報5、テストベクタ6の読み込みを行ない、内部データのセットアップを行なう。この際、シミュレーション開始時刻の設定、入力信号のイベントの登録も行なわれる。次に第2のステップ以降、シミュレーション時刻を更新しながら、各時刻の回路の動作を計算し、シミュレーションを進める。

【0067】第2のステップで、まずシミュレーション時刻を更新し、第3のステップでシミュレーション終了時刻に該当するかを判定し、シミュレーション終了時刻でなければ、第4のステップへ進み、当該シミュレーション時刻の回路状態を計算する。第4のステップでは、イベント駆動方式に基づき、当該シミュレーション時刻でスケジュールされたイベントを取り出し、シミュレーション状態の更新を行なうとともに新たに発生するイベントの登録を行なう。

【0068】次に第5のステップでは、保存制御手段3によって、シミュレーション状態の出力を行ない、FIFO手段2に対してシミュレーション状態を格納する制御301を行なう。この際、FIFO手段2では、シミュレーション実行手段1の出力するシミュレーション状態を格納するとともに、最も古い情報を削除する。

【0069】次に第6のステップにおいて、FIFO保存制御手段14によって、FIFO保存制御情報を読み込み、解析情報の出力およびFIFO保存手段13への格納を実行する時刻の判定を行う。第6ステップで解析情報9を保存する時刻に該当する場合は、第7ステップで解析情報9の出力およびFIFO保存手段13への格納を実行し、第2ステップへ戻る。第6ステップで該当しない場合は、そのまま第2ステップへ戻り、シミュレーションを続行する。

【0070】FIFO保存制御手段14では、内部カウントを備え、各シミュレーション時刻で、図22の手順を繰り返す。まず、第61ステップで、内部カウントを用いた単位時間カウントの有無を、カウントフラグによって判定し、カウント中でなければ、第62ステップで当該時刻のシミュレーション状態から保存条件を判定する。ここで保存条件が成立すると、第63ステップで指定の遅延時間をカウントに設定し、カウントフラグをセットする。一方、第61ステップでカウント中であれば、第64ステップへ進み、カウント値をデクリメントする。

【0071】次に第65ステップでカウント値を判定し、カウント値、即ち遅延時間が0であれば、第66ステップで保存信号1401を出力し、かつカウントフラグをリセットし、終了する。第65ステップでカウント値が0でなければ、そのまま終了する。

【0072】なお、以上のFIFO保存制御手段14の手順では、保存条件が連続したシミュレーション時刻で成立した場合、先の時刻でカウントフラグがセットされた後、続続する時刻で保存条件が成立しても平視される。この場合、複数のカウントを設けることにより、平行して複数の保存制御タイミングを判定する構成をとることが可能である。

【0073】次に第4の実施の形態のシミュレーションを具体例を用いて説明する。具体例では、図4に示す回路に対して、図5のタイミングチャートで示す15単位時間のシミュレーションを説明する。図5のシミュレーションでは、図4の回路で論理ゲート53、54がAN Dゲートから誤ってORゲートに差し替えられ、2度に渡って期待値不一致を起こす例である。

【0074】ここで、FIFO手段2に格納するシミュレーション状態数を6とする。FIFO保存制御情報には、保存条件として、シミュレーションの各時刻における図4の出力信号5010の期待値不一致を表す論理式「value(5010,T) != E」を与えるものとする。

【0075】ここで、value(5010,T)は、出力信号5010の当該単位時刻Tにおける信号値、Eは期待値を示す。"!="は不等号の論理演算子である。さらに遅延時間として2単位時間が入力されるものとする。

【0076】以上のシミュレーション実行において、図23に保存条件が成立するタイミングと保存信号1401の出力タイミングを示す。まず、単位時刻7で期待値不一致が成立し、論理式「value(5010,T) != E」がHとなり、ステップ62でカウント値2がセットされる。これに2単位時間後、カウント値が0となり、単位時刻9で保存信号1401がHとなる。同様に単位時刻11で期待値不一致となり、単位時刻13で保存信号1401がHとなる。単位時刻9と13でのFIFO保存手段13に格納される解析情報を図24に示す。図24は、図23のタイミングチャート上で、解析情報として出力される信号値を図示する図である。図24の1309、1313は、各々単位時刻9と13でのFIFO保存手段13の内容であり、各々単位時刻9と13で格納される解析情報9である。以上の解析情報は、単位時刻15でシミュレーションが終了すると、FIFO保存手段13より得られる。解析情報1309は、単位時刻9で得られる単位時刻4から単位時刻9までのシミュレーション状態を示し、単位時刻7での期待値不一致の原因が、単位時刻4でORゲート53の出力に誤りがあることが解析できる。さらに単位時刻5で、ORゲート53の入力信号505がHになって、この結果、単位時刻9で出

力 5010 の期待値不一致が解消されることも確認できる。解析情報 1313 は、単位時刻 13 で得られる単位時刻 8 から単位時刻 13 までのシミュレーション状態を示す。単位時刻 11 で発生する期待値不一致が単位時刻 8 での入力信号 502 の変化に対して、OR ドア 54 の出力に誤りがあったことが解析できる。

【0077】第 4 の実施の形態では、不具合を検出した際に、シミュレーションを停止せず、FIFO 手段 2 の情報を別途保存してシミュレーションを続行し、複数の不具合を一度のシミュレーションで検出し、かつ各々の不具合に対して FIFO 手段 2 に記憶された情報によって解析を可能とする。

【0078】以上のように本発明によって、期待値不一致などを 2ヶ所の設計不具合に対して、一度のシミュレーション実行によって解析することができる。このため、個々の不具合に対して、重複してシミュレーションを繰り返す工数を削減することができる。また、シミュレーション終了後に期待値エラー時刻から後の動作も確認することができ、不具合の影響の解析を効率よく行うことができる。

【0079】

【発明の効果】請求項 1 記載のシミュレーション装置によれば、シミュレーション実行中、FIFO 手段で使用する一定容量の記憶領域で、シミュレーション結果を保存することができる。これにより、不具合の発生点など任意の時点でシミュレーションを中断させても、シミュレーションの再実行を要せらず、一定のシミュレーション期間の状態を時間を遡って解析でき、設計検証作業を効率化することができる。また、複数の中断点を設定しても FIFO 手段の情報を中断点の名々に保存することによって、各々に対して回路動作を解析することができる。その結果、大規模なシステム LSI の機能シミュレーション、機能検証等効率的に行う事が可能となる。

【0080】請求項 2 記載のシミュレーション装置によれば、請求項 1 と同様な効果のほか、さらに FIFO 手段に記憶する情報も差分情報化し圧縮するサンプル化して間引くことにより、シミュレーションに必要とする FIFO 手段が使用的記憶領域を削減できかつシミュレーション状態の再現を可能とする。

【0081】請求項 3 記載のシミュレーション装置によれば、請求項 1 と同様な効果のほか、常にシミュレーション単位時間毎に状態を保存するではなく、解析上必要な周期でシミュレーション状態を保存し、FIFO 手段が必要とする記憶領域を削減することができる。

【0082】請求項 4 記載のシミュレーション装置によれば、請求項 1 と同様な効果のほか、保存制御手段が例えば同期回路等に対して被シミュレーション回路の特定信号の状態変化と同期してシミュレーション状態の FIFO 手段への保存の有無を制御することにより、記憶領域を削減できる。

【0083】請求項 5 記載のシミュレーション装置によれば、請求項 1 と同様な効果のほか、記憶素子の状態のみを FIFO 手段に保存することで FIFO 手段が使用する記憶領域を削減できる。

【0084】請求項 6 記載のシミュレーション装置によれば、請求項 1 と同様な効果のほか、停止条件として、期待値違反等の不具合の発生を設定すると、不具合を検出すると同時にシミュレーションを中断し、FIFO 手段に記憶される情報を元に必要な解析を即座に行う事ができる。

【0085】請求項 7 記載のシミュレーション装置によれば、請求項 1 と同様な効果のほか、所定の条件として、例えば期待値違反等の不具合の発生を設定し、シミュレーションを実行すると、不具合が生じたとき FIFO 手段に記憶される情報を別途保存し、シミュレーションを続行する。シミュレーションが終了すると、異なる複数の不具合の発生に対して、各々について解析を行うための個別の情報を FIFO 保存手段より得る事ができる。これにより、いくつかの異なる不具合を含む設計の検証に対して、一度のシミュレーション実行によって不具合を解析することができ、設計検証を効率化できる。

【0086】請求項 8 記載のシミュレーション装置によれば、請求項 1 と同様な効果のほか、複数の不具合を解析する情報として不具合が発生したシミュレーション時点の前後の回路動作を観測することができ、不具合の回路動作への影響も含め不具合の状況を解析、判断するすることができる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施の形態にかかるシミュレーション装置の構成図である。

【図 2】本発明の第 1 の実施の形態にかかるシミュレーション状態情報の構成図である。

【図 3】本発明の第 1 の実施の形態にかかるシミュレーション制御の流れ図である。

【図 4】本発明の第 1 の実施の形態にかかるシミュレーション例で用いる回路図である。

【図 5】本発明の第 1 の実施の形態にかかるシミュレーション例のタイミングチャートである。

【図 6】本発明の第 1 の実施の形態にかかるシミュレーション例での FIFO 手段の情報を示す図である。

【図 7】本発明の第 2 の実施の形態にかかる FIFO 手段の構成図である。

【図 8】本発明の第 2 の実施の形態にかかる差分状態情報の構成図である。

【図 9】本発明の第 2 の実施の形態にかかるシミュレーション状態の記憶・消除の制御の流れ図である。

【図 10】本発明の第 2 の実施の形態にかかる差分状態情報生成の制御の流れ図である。

【図 11】本発明の第 2 の実施の形態にかかるシミュレーション制御の流れ図である。

【図12】本発明の第2の実施の形態にかかるシミュレーション装置の図11の第58ステップの詳細手順の流れ図である。

【図13】本発明の第2の実施の形態にかかる記憶手段に記憶される差分状態情報の内容を示す説明図である。

【図14】本発明の第2の実施の形態にかかるシミュレーション解説情報例を示す説明図である。

【図15】本発明の第3の実施の形態にかかるシミュレーション装置の構成図である。

【図16】本発明の第3の実施の形態にかかるシミュレ

【図17】本発明の第3の実施の形態にかかる保存タイ

【図18】本発明の第3の実施の形態にかかるシミュレ

【図19】本発明の第3の実施の形態にかかるシミュレ

ーション例を示す図8の各シミモレーション状態から記憶素子選択手段により選択された記憶素子状態情報を示す説明図である。

【図20】本発明の第4の実施の形態にかかるシミュレーション装置の構成図である。

【図21】本発明の第4の実施の形態にかかるシミュレーション制御の流れ図である。

• [View Details](#)

【図22】本発明の第4の実施の形態にかかるFIFO保存制御手段における各シミュレーション時刻における制御の流れ図である。

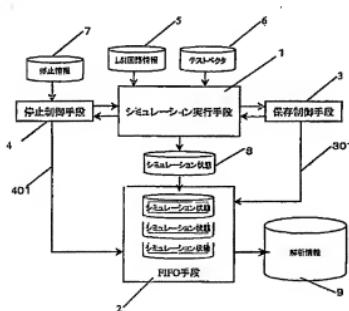
【図23】本発明の第4の実施の形態において、第1の実施の形態にかかるシミュレーション例のタイミングチャートを示す図5における保存条件が成立するタイミングと保存信号の出力タイミングを示すタイミングチャートである。

【図24】図23のタイミングチャート上で、解析情報として出力される信号値を図示する説明図である

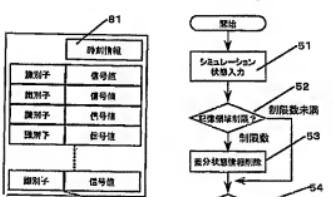
【符号の説明】

- 1 シミュレーション実行手段
- 2 FIFO手段
- 3 保存制御手段
- 4 停止制御手段
- 1.1 記憶素子選択手段
- 1.3 FIFO保存手段
- 1.4 FIFO保存制御手段
- 2.1 状態差分手段
- 2.2 差分情報記憶手段
- 2.3 制除手段
- 2.4 シミュレーション状態合成手段

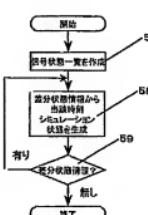
【四】



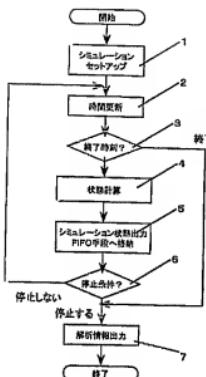
[圖2]



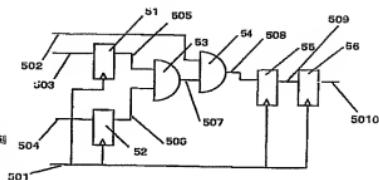
【圖1-1】



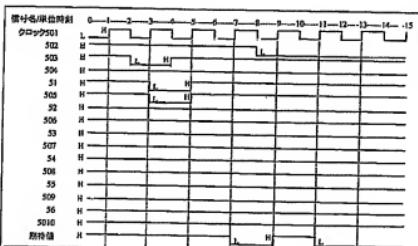
【図3】



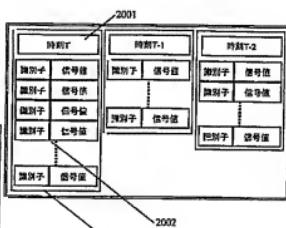
【図4】



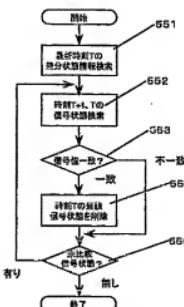
【図5】



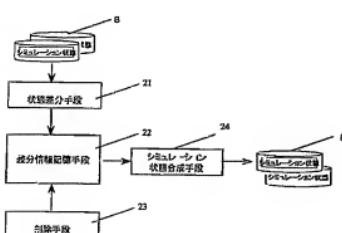
【図8】



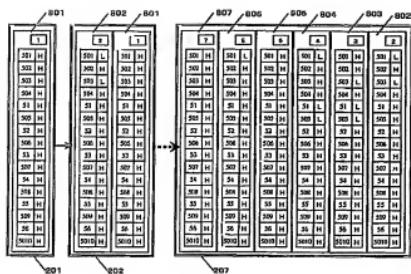
【図10】



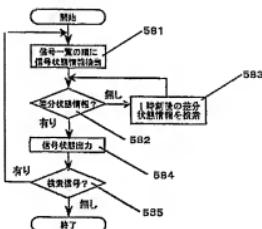
【図7】



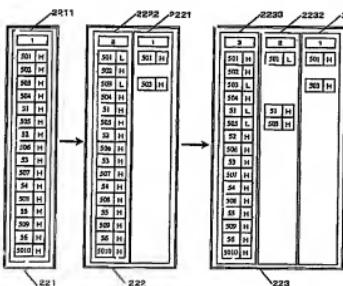
【図6】



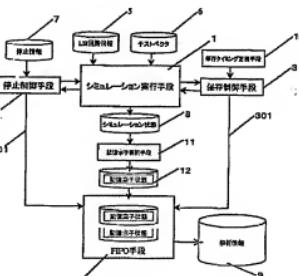
【図12】



【図13】



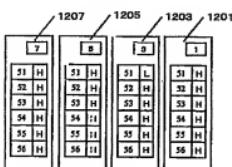
【図15】



【図17】

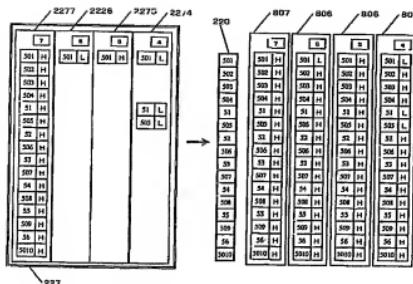
```
always @ (S01) begin
  if (S01) begin
    save = 1;
  end
  else
    save = 0;
end
end
```

【図19】

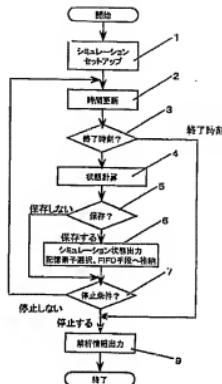


(#4) 00-250949 (P2000-250949A)

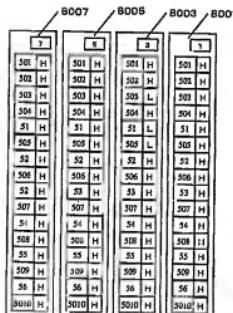
【图14】



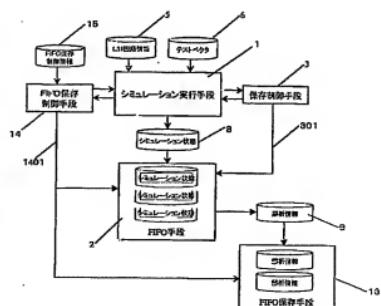
【図16】



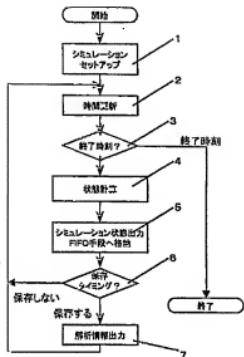
〔図18〕



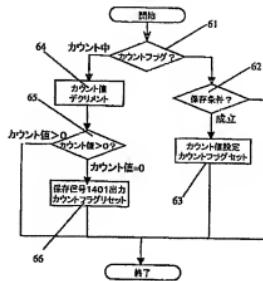
【20】



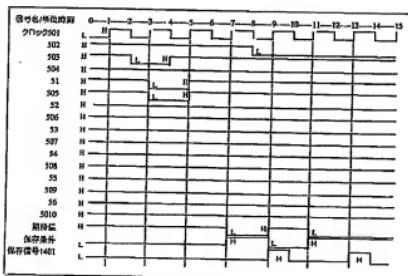
【図21】



【図22】



【図23】



(表6) 100-250949 (P2000-250949A)

【図24】

